

Method of fabricating s miconductor memory device

Patent Number: ☐ EP1017096
Publication date: 2000-07-05
Inventor(s): TAKENAKA NOBUYUKI (JP); IGUCHI KATSUJI (JP); OHNISHI SHIGEO (JP)
Applicant(s):: SHARP KK (JP)
Requested Patent: ☒ JP2000196039 (JP00196039)
Application Number: EP19990310526 19991223
Priority Number(s): JP19980373876 19981228
IPC Classification: H01L21/8242 ; H01L21/02
EC Classification: H01L21/8242B2
Equivalents: ☒ US6153460

Abstract

A method of fabricating a semiconductor memory device comprises the steps of: (a) forming an interlayer insulating film on a semiconductor substrate, opening a contact hole in said interlayer insulating film, and burying a plug in said contact hole; (b) forming a first insulating film on said interlayer insulating film inclusive of said plug, and forming a trench in said first insulating film above said plug; (c) forming a first conductive film on said first insulating film inclusive of said trench, and etching back said first conductive film by a chemical mechanical polishing method to form a bottom electrode inside said trench; (d) forming a high dielectric film or a ferroelectric film and a second conductive film in this order on said first insulating film inclusive of said bottom electrode; and (e) patterning simultaneously said high dielectric film or ferroelectric film and said second conductive film

to form a capacitor insulating film and a top electrode.



Data supplied from the esp@cenet database - 12



(2)

【特許請求の範囲】

特選2000-196039

特選2000-196039

(43)公園日 平成12年7月14日(2000.7.14)

家賃制求 未制求 財求項の数5 OL (全8頁)

● 建築士事務所

前記第2絶縁膜又は高誘電体膜及び第2

【課題】 製造プロセスを複雑化させることなく、かつ、強誘電体にエッチングダメージを与えないことなく、高熱化に対応した微細キャパシタを形成することにより、高熱性、微細化に対応できる半導体装置を製造することを目指す。

10011

【発明の属する技術分野】この発明は半導体装置の製造方法に関し、より詳細には、強誘電体メモリ及びDRAMを高集積化するために、CMP法を用いた層形成に

【附】我國の救護施設

【請求項 1】 (a) 半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にプラグを形成し、

(b) 該プラグを含む前記區間即ち絶縁上に第1絶縁膜を形成し、前記プラグ上の第1絶縁膜に溝を形成し、
(c) 該溝を含む前記第1絶縁膜上に第1導電膜を形成し、該第1導電膜を半導体技術の研習法によってエッチバックすることによって前記溝内下部に下部電極を形成し、
(d) 該下部電極を含む第1絶縁膜上に高誘電率膜又は高誘電率膜及び銅を含む第2絶縁膜をこの順で形成し、

(e) 前記高誘電体膜又は強誘電体膜及び第2導電膜を同時にパターンニングすることによって、キャパシタ絶縁膜及び上部電極を形成することからなる半導体記憶装置の製造方法。

【請求項2】 (A) 半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にプラグを形成し、

(B) 該ブラグを含む前記層間絶縁膜上に第1絶縁膜を形成し、前記ブラグ上の第1絶縁膜に溝を形成し、

(C) 該清を含む前記第1絶縁膜上に第1導電膜を形成し、該第1導電膜を化学的機械的研磨法によってエッチバックすることにより前記溝内に下部電極を形成し、

(D) 該下部電極を含む第1絶縁膜上に第2絶縁膜を形成し、前記下部電極上の第2絶縁膜に溝を形成し、
(E) 該溝の側壁に絶縁膜サイドウォールスペーサを形成し、

(F) 前記清及び絶縁膜サイドウォールスペースを含む前記第2絶縁膜上に高誘電体膜又は強誘電体膜及び第2導電膜をこの順で形成し、

(G) 前記高誘電体膜又は強誘電体膜及び第2導電膜を化学的機械的研磨法によって同時にエッチバックすることによりキャパシタ絶縁膜及び上部電極を形成することからなる半導体記憶装置の製造方法。

【請求項3】 下部電極及び上部電極が、Pt、Ru、Ir、 IrO_2 /Ru又は IrO_2 /Irにより形成されてなる請求項1又は2に記載の半導体記憶装置の製造方法。

【請求項4】 高誘電体膜が $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、強誘電体膜が $\text{PbTi}_{1-x}\text{Zr}_x\text{O}_3$ 又は $\text{SrBi}_2\text{Ta}_2\text{O}_7$ である請求項1又は2に記載の半導体記憶装置の製造方法。

【請求項5】 絶縁膜サイドウォールスペースが、 TiO_2 又は TaO_5 からなる請求項2に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

10011

【発明の属する技術分野】この発明は半導体装置の製造方法に関し、より詳細には、強誘電体メモリ及びDRAMを高集積化するために、CMP法を用いた層形成に

より微細化キャパシタを形成する半導体装置の製造方法に関する。

100021

【従来の技術及びその問題】従来の1トランジスタ・1キャパシタ(又は2トランジスタ・2キャパシタ)構造を有する強誘電体メモリセルは、図3に示すように、トランジスタT₁上に絶縁膜30を介して平面型キャパシタC₁が形成された構造が採られており、トランジスタT₁とキャパシタC₁とが完全に分離されている。よって、絶縁膜30上にキャパシタC₁を形成した後、キャパシタC₁とトランジスタT₁とを共同配線31で接続している。しかし、図3に示すような構造では、メモリセルの占有面積が大きくなり、高集積化には向いていない。そこで、図4に示すように、NOSFETのソース領域32上にポリシリコン又はタンタルゲルマニウム等からなるコンタクトプラグ33を形成し、このコンタクトプラグ33上にスタック型キャパシタC₂を形成する強誘電体メモリセルやDRAM等が提案されている。

【0003】図4に示すようなスタック型キャパシタは、通常、下配の手法により形成されている。すなわち、トランジスタ、トランシスタホール、コンタクトホール内にコンタクトプラグが形成された半導体基盤において、コンタクトプラグ上にIr、IrO₂/Ir、Pt、Ru、RuO₂/Ru等の導電膜を堆積し、ドライエッチング法により、導電膜をパターンニングし、下部電体膜（PZT、SbT等）又は高誘電体膜（BST等）を堆積し、さらに、上部電体材料としてのIr、IrO₂/Pt、Ru、RuO₂等の導電膜を堆積し、ドライエッチング法により、導電膜及び高誘電体膜（又は高誘電体膜）をパターンニングし、共通プレート（又はドライエッチ膜）を形成する。

【0004】しかし、上部電極又は品電極に用いる、 P 、 I 、 I_2 等の導電質は、通常ドライエッチングで使用するハロゲン化ガスとの反応性が低く、また、反応生成物の揮発性も低いためエッチ率が低く、微細加工が難しい。しかも、サブミクロン以下のパターンングでは、マイクロドレーティング効果の影響が大きく、反応生成物の導電膜への付着又はパターンの発生等の問題がある。そのため、この種のメモリを蒸着構成している、 P 、 I 、 I_2 等の不活性金属の微細加工技術の確立は不可欠になっている。そこで、強酸又は強アルカリ性の電解液を含むスラリーを用いた化学的減膜法（ CMM 、 P 法）によりエッチバックする方法が、特開平9-148537号公報及び特開平7-22518号公報等に提案されている。

【0006】例えば、特開平9-148537号公報によれば、図5に示したように、円筒状のスタタ上に層間絶縁膜40、層間絶縁膜41を

04/16/01

(4)

て形成することができ、層間絶縁膜の膜厚は、通常層間絶縁膜として機能する膜厚であればよく、例えば、7000~30000nm程度が挙げられる。この層間絶縁膜の形成方法は、特に限定されるのではなく、例えば、フォトリソグラフィ及びエッチング工程によって形成することができ、コンタクトホールの大きさは、層間絶縁膜の下層と上層との電気的な接続を確保できる大きさであれば特に限定されない。

【0013】このコンタクトホール内にプラグを形成する。プラグは導電性材料によってその表面を平坦に形成することが好ましい。例えば、チタン、タンタル、タングステン等の高融点金属、ポリシリコンの単層膜又は積層膜が挙げられる。また、プラグの下層又は上層に、Ta、TiN、Ti、Cu等の導電材料と低阻性を確保等のために、TiN、TaSSiN等からなるバリアメタルが形成されていてもよい。これらプラグ、バリアメタル等は、公知の方法、例えば、スパッタリング法、真空蒸着法等と、エッチバック、好ましくはCMP法によるエッチバックとを組み合わせることによって形成することができ、

【0014】 次いで、(b) プラグを含む層間絶縁膜上に第1絶縁膜を形成し、プラグ上の第1絶縁膜に溝を形成する。第1絶縁膜は、通常、プラグを含む層間絶縁膜の上面に形成することが好ましい。第1絶縁膜は、絶縁性を有する膜であれば、その材料は特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜、 TiO_2 、 TaO_x 等の単層又は多層からなる絶縁膜が挙げられる。なお、プラグ上に形成される後述の下部電極とこの絶縁膜との接着性を高めるために、 $\text{TiO}_2/\text{SiO}_2$ の積層膜が好ましい。これらの絶縁膜は、例えば、CVD法等の公知の方法にしたがって形成することができる。また、第1絶縁膜の膜厚は、例えば、2000~3000 nm程度が挙げられる。

【0016】この第1絶縁層に溝を形成する。この溝は、プラグ上であって、その底部がプラグの外周部上にあり、プラグ全体を被覆し、さらにプラグの外周部上にまで広げて形成することが好ましい。つまり、この溝の大きさにより、後工程で形成する一部電線の大きさがほぼ決定されることになる。溝は、公知の方法、例えばフォトリソグラフィ及びエッチング工程によって形成することができる。なお、第1絶縁層に溝を形成した後、上記の他の第1絶縁層材料によって第1絶縁層の側面にサイドウォールスペースを形成して第1絶縁層の側面にサ

【0016】さらに、(c) 清を含む第1絶縁膜上に第1導電膜を形成し、第1導電膜を化学的機械的研削法によってエッチバックすることにより下部電極を形成する。

【0017】第1導電膜は、通常、清を含む第1絶縁膜の電極材料で形成するのであれば特に限定されるものでない。第1導電膜は、通常、清を含む第1絶縁膜の電極材料で形成するのであれば特に限定されるものでない。第1導電膜は、通常、清を含む第1絶縁膜の電極材料で形成するのであれば特に限定されるものでない。

(a) 該ブラグを形成し、(b) 該ブラグを含む前記間絶絶縁膜上に第1絶縁膜を形成し、前記ブラグ上の第1絶縁膜の上に第2絶縁膜を形成し、(c) 該溝を含む前記第1絶縁膜上に第1導電層を形成し、該第1導電層を化学的機械的研磨法によってエッチバックすることにより前記溝内に下部電極を形成し、(d) 該下部電極上及び第2導電膜をこの順で形成し、(e) 前記高誘電率体膜又は強誘電体膜及び第2導電膜を同時にパターニングすることによって、キャパシタ性素子の製造方法が提供される。

[0008] また、本発明によれば、(A) 半導体基板表面上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にプラグを形成し、(B) 該プラグを含む前記層間絶縁膜上に第1絶縁膜を形成し、前記ブラグ上の第1絶縁膜に溝を形成し、(C) 該溝を含む前記第1絶縁膜上に第1導電層を形成し、該第1導電層を化学的機械的研磨法によってエッチバックすることにより前記溝内に下部電極を形成し、(D) 該下部電極上及び第2導電膜をこの順で形成し、(E) 該溝の側壁に絶縁膜サイドウォールスベアスを形成し、(F) 前記溝及び絶縁膜サイドウォールスベアスを含む前記第2絶縁膜上に高誘電率体膜又は強誘電体膜及び第2導電膜をこの順で形成し、(G) 前記高誘電率体膜又は強誘電体膜及び第2導電膜を化学的機械的研磨法によって同時にエッチバックすることによりキャパシタ性素子の製造方法が提供される。

[0010]

[発明の実施形態] 本発明の半導体装置の製造方法について、図1(a)～図1(f)を参照して説明する。図1(a)は、半導体基板上に層間絶縁膜を形成した状態を示す断面図である。ここで、半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にプラグを形成する。

【0011】本発明で使用するここからできる半導体基板は、通常半導体装置を形成するために使用される基板であつて、例えばシリコン、シリコン、ゲルマニウム等の半導体、GaAs、InGaAs等の化合物半導体等からなる基板を使用することができる。なかでも、シリコン基板が好ましい。この半導体基板は、ロコエツタ法やトレンチング法による素子分離が形成され、形成されていてもよいし、トランジスタは抵抗等形成されていてもよい。絶縁膜等が単独又は組合せられて形成されていてもよい。

【0012】この半導体基板上に、層間絶縁膜を形成する。この際の層間絶縁膜は、絶縁性を有する膜であれば、その材料は特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜、PSG、BPSG等の半層又は多層からなる絶縁膜が挙げられる。これらの絶縁膜は、例えば、CVD法等の公知の方法にしたがって

(3)

ホール、コンタクトホール内にコンタクトプラグ41が形成された半導体基板上において、コンタクトプラグ41の上にSiO₂膜42を形成する。その後、コンタクトプラグ41を削り落す。このSiO₂膜42にマスクを用いて開口部を形成して、この開口部内に下部電極43/強誘電体44/上部電極45/TEOS膜46を順次堆積する。続いて、これらの膜を同時にCMP研磨することにより、SiO₂膜42に形成した開口部内に凹形状の孤立キャパシタCpを形成するとともに、この孤立キャパシタCp表面の凹部にTEOS膜46を埋設する。さらに、この孤立キャパシタCpの凹部のTEOS膜46に、マスクを用いてドライエッチングによりコンタクトホールを開口した後、このコンタクトホールを含むキャパシタ上に、金属膜を形成し、この金属膜をマスクを用いてパターンニングして共通アポート電極47を形成する。

【0006】しかし、このような工程では、コンタクトプラグ41上のSiO₂膜42に開口部を形成するため、コンタクトプラグ41の開口部内にキャパシタを形成する。また、形成されたキャパシタ上にコンタクトホールを形成する必要がある。微細化がさらに進んだ場合、コンタクトホールは、微細化がさらに進んだ場合、コンタクトホール自体が困難となるという問題も有している。

【0007】また、特開平7-22518号公報によれば、図6に示したように、トランジスタ、周回線50、周回線51にコンタクトホール、コンタクトホール内にコンタクトプラグ51が形成された半導体基板において、コンタクトプラグ51上にSiO₂膜52を形成する。その後、コンタクトプラグ51上で、このSiO₂膜52にマスクを用いて開口部を形成し、この開口部に導電膜を堆積し、CMP工程により、コンタクトプラグ51と接続された孤の導電膜53を形成する。次いで、導電膜53上に強誘電体膜54及びSiO₂膜55を順次堆積し、その後、SiO₂膜55を剥離除去して、導電膜53上に、マスクを用いてドライエッチングする溝を形成し、導電膜を堆積する。続いて、この導電膜をCMP研磨することにより、孤立したドラムアイランドを形成する。しかし、この工程では、メモリレイアウトの回路部において強誘電膜を加工する工程が導入され、強誘電膜特性が劣化するという問題がある。

【課題を解決するための手段】本発明によれば、(a)半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にスタックドホールを形成し、さらに該コンタクトホール内

はないが、なかでも、Pt、Ru、Ir、 IrO_3/R 又は IrO_3/Ir の界面層や膜層が好ましい。この膜厚、例えばは、500—2000 Å 程度の順序で形成することと好ましい。銅-水銀電極は、公知の方法、例えば CVD 法、MCVD 法、スパッタリング法、メッキ法、エレクトロプレート法により形成することができ、エレクトロプレート法の観点から、MCVD 法がエレクトロプレート法が好ましい。具体的には、有機溶剤の場合には、比較的蒸気圧の高い Pt、Ir 等の有機金属錯体を原料として、熱分解する方法が挙げられ、エレクトロプレート法の場合には、 $\text{H}_2(\text{PtCl}_4)$ 、 $(\text{SO}_4)_2$ 、 $\text{M} \cdot \text{Ir} (\text{SO}_4)_2 \cdot 12\text{H}_2\text{O}$ 等の配位錯体溶液を電気分解する方法が挙げられる。なお、エレクトロプレート法の場合は、同じ金属で構成されるシート層が必要であるため、あらかじめ、銅-水銀電極とその金架膜を、シード層として、スパッタリング法、イオンビームプラズマ法等により形成する。

【0018】第I導電膜を化学的機械的研究法によってエッチバックすることにより溝内にのみ下部電極が形成される。つまり、溝内以外の第II絶縁層に存在する第I導電膜をエッチング除去する。ここで、化学的機械的研究法は、 CeO_2 、 ZrO_2 、 Al_2O_3 等の研削剤に、第I導電膜を構成する金属を溶解させる溶液を混ぜ合わせた状態で、研磨液を供給し、CMP法により研削する方法である。第I導電膜を構成する金属を溶解させる溶液としては、例えば、P等の場合には王水、F等の場合には水酸化ナトリウム又はカリウム/ KNO_3 等の溶液を用いることができる。

なお、第I導電膜の厚みが、溝の深さよりも薄い場合には、下部電極は溝内への凹部形状に形成することができ、また、第I導電膜の厚みが、溝の深さとほぼ同等又は溝の深さより厚い場合には、下部電極は溝内に、面が第II絶縁層と面一り、平坦な形状に形成されることがある。

[0010]さらに、(d)下部電極を含む第1絶縁膜上に高誘電率体膜及び第2導電膜をこの順で形成する。高誘電率体膜及び第2導電膜は、下部電極を含む第1絶縁膜上に形成することが好ましい。ここで、高誘電率体膜は強誘電率体膜は、キヤパチタ絶縁膜としては(Ba, Sr)TiO₃等であり、強誘電率体膜としてはPbTi_{1-x}Zr_xTi_{1-y}O₃ (0<x<1)又はSrBi₂Ta₂O₇等が挙げられる。これらの膜の膜厚は、例えば、500～2000Å程度が挙げられ、これらの膜は、公知の方法、例えばMOCVD法、スパッタリング法、MOD法、ソルゲル法等により形成することができ、なお、これらの膜を成膜した後には

(5)

例えば、400～800℃程度の温度範囲、酸素、酸素/窒素、酸素/アルゴン雰囲気中等で30秒間～数時間程度アニール処理を施すことが好ましい。

【0020】第1導電膜は、上述した第1導電膜と同様の材料で、同様の厚度で、同様の成膜方法で形成することができる。なお、第1導電膜と第2導電膜とは必ずしも同じ材料、同じ厚度で形成する必要はなく、半導体装置の特性、その下層又は上層に配置される素子や絶縁膜等に応じて、適宜調整することができ。

【0021】続いて、(e)高誘電体膜又は強誘電体膜及び第2導電膜を同時にバタニニングすることによって、キャパシタ絶縁膜及び上部電極を形成する。高誘電体膜又は強誘電体膜及び第2導電膜は、フォトリソグラフィ及びエッチング工程により、清と同じ大きさ又は清よりも大きくバタニニングしてもよい。これにより、清内のみに対応する下部電極と、キャパシタ絶縁膜及び上部電極によるキャパシタを形成することができる。なお、下部電極は、ノード電極として、上部電極は共通ブレード電極又はドライブラインとして機能するように形成することができ。

【0022】また、本発明の別の半導体装置の製造方法によれば、工程(A)～(C)において、上述した工程(a)～(c)と同様に下部電極を形成する。なお、ここで形成される下部電極は、清内であって、表面が第1絶縁膜一面に、平坦な形状に形成することが好ましい。

【0023】次いで、(D)下部電極を含む第1絶縁膜上に第2絶縁膜を形成し、下部電極上の第2絶縁膜に溝を形成する。第1絶縁膜としては、第1絶縁膜と同様の材料を同様の方法で形成することができる。第1絶縁膜の厚さは、後の工程で形成する上部電極等の厚厚を決定するものであるため、上部電極等の厚厚に対応させた厚厚で形成することが好ましい。例えば、2000～5000Å程度の厚厚が挙げられる。

【0024】下部電極上の第1絶縁膜に溝を形成する。ここで、溝は、工程(b)における第1絶縁膜に溝を形成する方法と同様の方法により形成することができる。溝の大きさは特に限定されるものではないが、下部電極を覆い、さらにその外周部にまで広がるような大きさに形成することが好ましい。

【0025】さらに、(E)溝の側壁に絶縁膜サイドウォールスベースを形成する。この際の絶縁膜サイドウォールスベースは、上述した第1絶縁膜と同様の材料、好ましくは、 TiO_2 又は TaO_x 膜を、厚厚200～1000Å程度で形成し、RIE法によりエッチバックすることによって形成することである。この絶縁膜サイドウォールスベースにより、シリコン酸化膜と後工程で形成する高誘電体膜又は強誘電体膜との接触によるこれらの劣化を防止することができる。

【0026】次いで、(F)溝及び絶縁膜サイドウォール

スベースを含む第2絶縁膜上に高誘電体膜又は強誘電体膜及び第2導電膜をこの順で形成する。高誘電体膜又は強誘電体膜及び第2導電膜は、通常第1絶縁膜全面に形成することが好ましい。なお、これら膜の形成は、上述した工程(d)における膜と同様の材料、方法により形成することができ。

【0027】続いて、(G)高誘電体膜又は強誘電体膜及び第2導電膜を化学的機械的研磨法によって同時にエッチバックすることによりキャパシタ絶縁膜及び上部電極を形成する。なお、この際のエッチバックは、工程(c)におけるエッチバックと同様の方法で行うことができる。これにより、上部電極が、溝内に、表面が第2絶縁膜一面に、平坦な形状に形成することができる。【0028】以下に、この発明の半導体装置の製造方法について、図面に基いて説明する。なお、これらの実施例によつて、図面は限定されない。

【0029】実施例1

まず、図1(a)に示したように、トランジスタが形成されたシリコン基板1上に厚厚1～1.5μm程度の SiO_2 膜2、厚厚500Å程度の SiN 膜3による層間絶縁膜を形成する。この層間絶縁膜にコンタクトホールを形成し、例えば、厚厚1000～3000Å程度のドーパントポリシリコン膜を堆積し、RIE法にてエッチバックしてドープドポリシリコン膜をコンタクトホール内に埋め込んで、プラグ4を形成する。次に、プラグ4上に TiN 、 $TaSiN$ 膜等を堆積し、CMP工程によりエッチバックすることにより、表面が平坦なバリアメタル5を形成する。

【0030】続いて、図1(b)に示したように、厚厚2000～3000Å程度の SiO_2 膜6及び厚厚200～1000Å程度の TiO_2 膜7からなる第1絶縁膜を堆積し、プラグ4上であって、キャパシタの溝部に対応する部分に開口を形成する。なお、第1絶縁膜に TiO_2 /シリコンの2層膜とした場合には、後工程で強誘電体膜を堆積する際に、第1絶縁膜と強誘電体膜との密着性を維持することができる。

【0031】さらに、図1(c)に示したように、開口を含む第1絶縁膜上に、厚厚500～2000Å程度の Pt 膜8aを形成する。ここで、 Pt 膜8aは、比較的蒸気圧の高い Pt の有機金属錯体を原料に用いて、熱分解法により形成した。

【0032】続いて、図1(d)に示したように、CMP法により、開口外に存在する Pt 膜8aを研磨し、開口内のみ凹形状の下部電極となるノード電極8を形成する。ここで、CMP法は、 CeO_2 、 ZrO_2 、 Al_2O_3 等の研磨剤に Pt を溶解させた王水等の溶液を混ぜ合わせたスラリーを用いて、化学的に機械研磨する方法である。

【0033】次に、図1(e)に示したように、ノード電極8上に、例えば、MOCVD法により、厚厚500

～2000Åで、強誘電体膜として PZT 膜9を形成し、700℃程度の温度で、10分間程度アニール処理を施す。その後、例えば、MOCVD法により、厚厚500～2000Å程度の Ir 膜10を形成し、ノード電極8が形成された開口よりも広い幅でキャパシタ絶縁膜を形成するとともにドライブラインを形成するか、モリブデンの外部でプレーン電極を形成する。このようにな方法によれば、キャパシタの上部電極となるプレーン電極上にコンタクトホールを形成し、さらにドライブラインを形成する必要がなくなり、製造工程を簡略化できる。

【0034】実施例2

まず、図2(a)に示したように、実施例1と同様にシリコン基板1上に層間絶縁膜、コンタクトホール、プラグ4及びバリアメタル5を形成する。続いて、図2(b)に示したように、厚厚1000～3000Å程度の層間 SiO_2 膜6及び厚厚200～1000Å程度の層間 TiO_2 膜7からなる第1絶縁膜を堆積し、プラグ4上であって、キャパシタの溝部に対応する部分に開口を形成する。さらに、開口を含む第1絶縁膜上に、厚厚500～2000Å程度の Pt 膜18aを形成する。ここで、 Pt 膜18aは、比較的蒸気圧の高い Pt の有機金属錯体を原料に用いて、熱分解するMOCVD法により形成した。続いて、図2(c)に示したように、CMP法により、開口外に存在する Pt 膜18aをCMP法によって研磨し、開口内に埋め込む形状の下部電極となるノード電極18を形成する。

【0035】次に、図2(d)に示したように、ノード電極18を含む TiO_2 膜7上に、 SiO_2 膜16からなる第2絶縁膜を形成し、ノード電極18上であって、キャパシタのドライブレ線に対応する部分に開口を形成する。この開口上に厚厚200～1000Å程度の TiO_2 膜17を堆積し、エッチバックすることにより、 SiO_2 膜16側壁に TiO_2 膜17によるサイドウォールスベースを形成する。

【0036】さらに、図2(e)に示したように、開口を含む TiO_2 膜17上に、例えば、MOCVD法により、厚厚500～2000Åで、強誘電体膜として PZT 膜19aを形成し、700℃程度の温度で、10分間程度、アニール処理を施す。その後、例えば、MOCVD法により、厚厚500～2000Å程度の Ir 膜20aを形成する。

【0037】続いて、図2(f)に示したように、上記のCMP法と同様の方法により、開口外に存在する PZT 膜19a及び Ir 膜20aをCMP法により研磨し、開口内を埋め込む形状の強誘電体膜19及びドライブライン20を形成する。このような方法によれば、コンタ

クトプラグ4上の第1絶縁膜に開口部を形成するためのマスク、ノード電極18上の第2絶縁膜に開口部を形成するためのマスクと2枚のマスクを使用するのみでよく、製造工程を簡略化できる。しかも、ドライエッチングは行わないため、強誘電体膜へのプラズマダメージを低減することができる。

【0038】

【発明の効果】本発明によれば、トランジスタ・1キヤパシタ構造のDRAM又は強誘電体メモリデバイスにおけるキャパシタ形成工程において、 SiO_2 膜に形成された溝部に下部電極、あるいは下部電極、キャパシタ絶縁膜、上部電極のいずれをも形成し、CMP法でバタニニングするため、製造プロセスを複雑化させることなく、かつ強誘電体にエッチングダメージを与えることなく、高誘電化に対応した微細キャパシタを形成することが可能となり、高集積、微細化に対応できる半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の一実施例を示す要部の概略断面工程図である。

【図2】本発明の半導体装置の製造方法の別の実施例を示す要部の概略断面工程図である。

【図3】従来の平面型キャパシタを有する強誘電体メモリセル構造を示す要部の概略断面工程図である。

【図4】従来のスタック型キャパシタを有する強誘電体メモリセル構造を示す要部の概略断面工程図である。

【図5】従来の強誘電体メモリセルの製造工程を説明するための要部の概略断面工程図である。

【図6】従来の別の強誘電体メモリセルの製造工程を説明するための要部の概略断面工程図である。

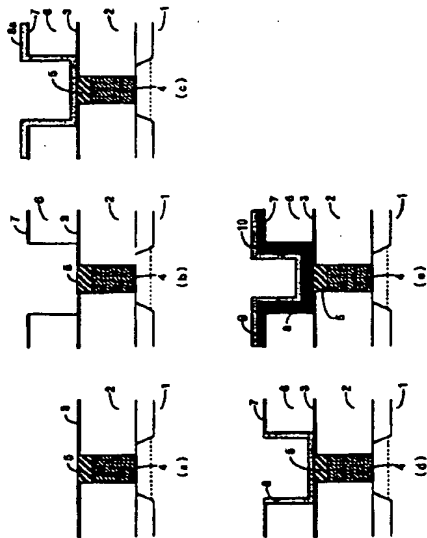
【符号の説明】

- 1 シリコン基板 (半導体基板)
- 2 SiO_2 膜 (層間絶縁膜)
- 3 SiN 膜 (層間絶縁膜)
- 4 プラグ
- 5 バリアメタル
- 6、16 SiO_2 膜 (第1絶縁膜)
- 7、17 TiO_2 膜 (第1絶縁膜)
- 8a、18a Pt 膜
- 8 ノード電極 (下部電極)
- 9、19a PZT 膜
- 10、20a Ir 膜
- 16 SiO_2 膜 (第2絶縁膜)
- 17 TiO_2 膜 (絶縁膜サイドウォールスベース)
- 19 強誘電体膜
- 20 ドライブライン (上部電極)

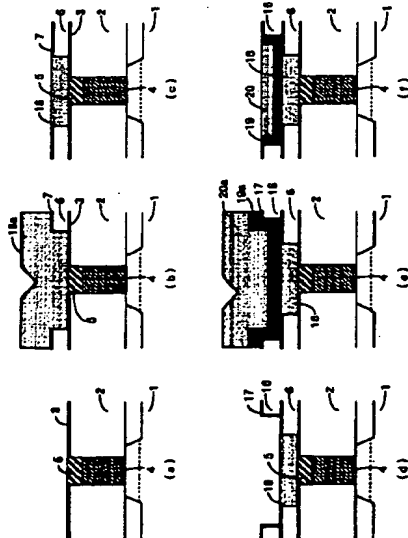
(6)

(1)

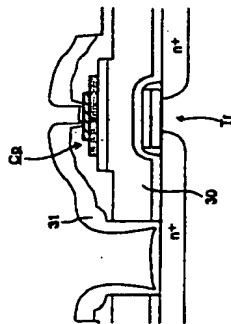
【図1】



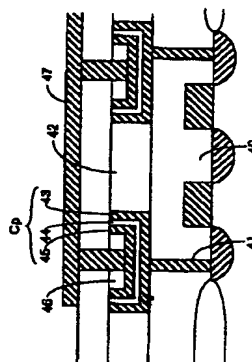
【図2】



【図3】

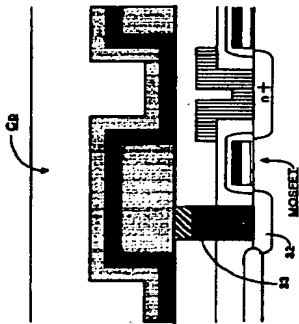


【図5】

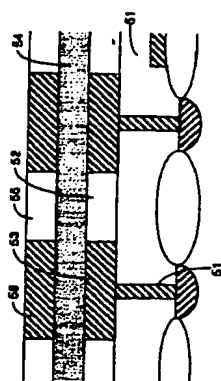


(1)

【図4】



【図6】



フロントページの続き

(71) 発明者 井口 勝次
大阪府大阪市阿倍野区長池町1番11号 シ
ヤープ株式会社内

Fターム(参考) 5P004 MA11 BA04 DB03 EA13 BA19
BB01 BB02 BB03 BB05 PA01
5P003 AD31 AD54 PB03 JA14 JA15
JA17 JA38 JA40 JA43 JA56
MA01 MA17 PB31 PB32 PB33
PR00